

Circuitos Lógicos

Profa. Grace S. Deaecto

Faculdade de Engenharia Mecânica / UNICAMP
13083-860, Campinas, SP, Brasil.
grace@fem.unicamp.br

Segundo Semestre de 2013

NOTA AO LEITOR

Estas notas de aula foram inteiramente baseadas nas seguintes referências :

- T. Floyd, “*Digital Fundamentals*”, 10th Edition, Prentice Hall, 2009.
- R. J. Tocci, N. S. Widmer, G. L. Moss, “*Sistemas Digitais : Princípios e Aplicações*”, Prentice-Hall, 2007.
- S. Brown, Z. Vranesic, “*Fundamentals of Digital Logic with Verilog Design*”, McGrawHill, 2003.
- I. V. Iodeta, F. G. Capuano, “*Elementos de Eletrônica Digital*”, Editora Érica, 2006.
- V. A. Pedroni, “*Circuit Design and Simulation with VHDL*”, 2nd Edition, MIT, 2010.

1 Dispositivos Lógicos Programáveis

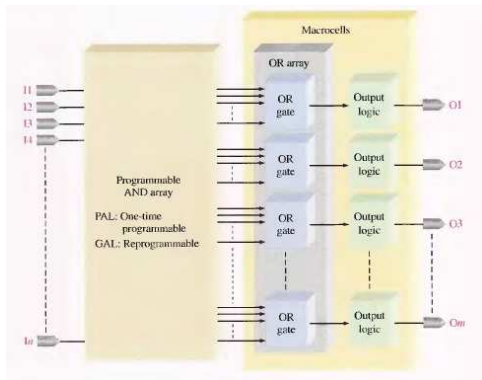
- SPLD e CPLD
- FPGA

Dispositivos Lógicos Programáveis Simples

- Os Dispositivos Lógicos Programáveis Simples do inglês **Simple Programmable Logic Devices** (SPLDs) podem ser de dois tipos :
 - **Programmable Array Logic (PAL)** - geralmente programável apenas uma vez e
 - **Generic Array Logic (GAL)** - pode ser reprogramável.
- Tanto na estrutura de PALs quanto na de GALs existem portas **AND** que **podem ser programadas** e portas **OR fixas**, formando um arranjo de soma de produtos.
- Os Dispositivos Lógicos Programáveis Complexos do inglês **Complex Programmable Logic Devices** (CPLDs) são, na verdade, dispositivos formados por vários SPLDs.

SPLD : Diagrama de bloco geral de um PAL/GAL

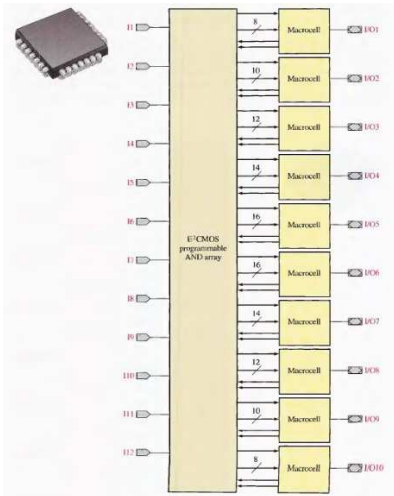
- As saídas das AND programáveis vão para portas OR fixas e estas são conectadas a uma lógica de saída adicional em um arranjo chamado **macrocélula**.



SPLD : Exemplos PAL16V8 e GAL22V10

- Um SPLD tem em geral 20 a 28 pinos.
- Dois fatores são relevantes na escolha do PAL ou GAL : número de entradas e saídas e a densidade (número de portas equivalentes).
- Outros fatores a serem levados em consideração são : frequência máxima de operação, atrasos no tempo e tensão de alimentação.
- O PAL16V8 possui 16 entradas e 8 saídas com densidade de aproximadamente 300 portas equivalentes. Cada macrocélula possui 8 entradas.
- O GAL22V10 possui 20 entradas e 10 saídas com densidade de aproximadamente 500 portas equivalentes. As macrocélulas possuem de 8 a 16 entradas.

SPLD : Exemplo GAL20V10

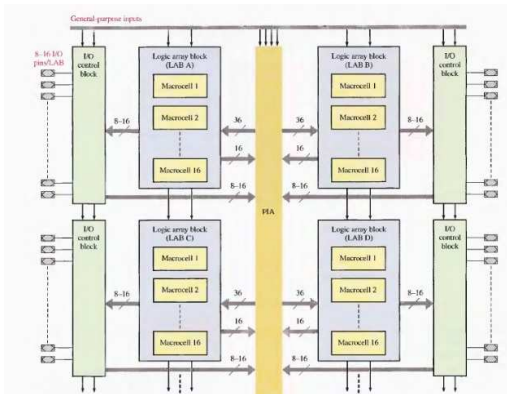


CPLD

- O CPLD consiste basicamente de múltiplas SPLDs com interconexões programáveis chamadas de PIA (Programmable Interconnect Array). Alguns fabricantes chamam estas interconexões de AIM (Advanced Interconnect Matrix).
- Cada SPLD recebe o nome de LAB (Logic Array Block), bloco de função, bloco lógico ou bloco genérico.
- As entradas são conectadas diretamente ao LAB e suas saídas são interconectadas a qualquer outro LAB através da PIA.
- Os CPLDs são caracterizados pelos seguintes itens
 - tecnologia : EEPROM, ou SRAM
 - densidade : de dezenas a 2000 macrocélulas
 - consumo de potência : de miliwatts a centenas de miliwatts.
 - tensão de alimentação : de 2.5 V a 5 V.
- Os fabricantes mais comuns são Altera e Xilinx.

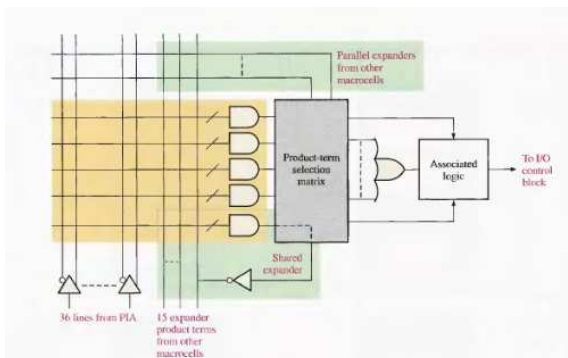
CPLD : Altera

- A Altera produz várias famílias MAX II, MAX 3000 e MAX 7000. Nosso foco será na família MAX 7000.
- O CPLD desta família possui densidade de 2 LABs até 16 LABs interconectáveis e utiliza tecnologia EEPROM.

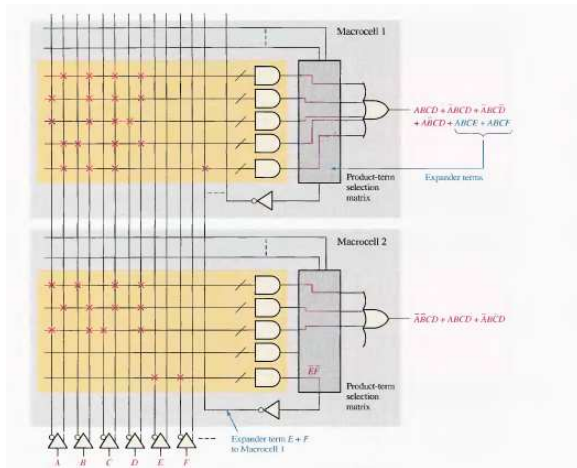


Altera : MAX 7000

- A estrutura da macrocélula contém um arranjo de portas AND programável e **matriz de seleção dos produtos**.
- Esta matriz permite expandir o número de termos de produto de duas maneiras : expensor compartilhado e expensor paralelo.

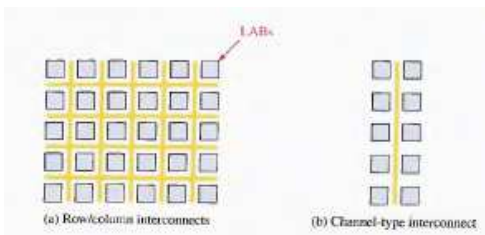


Macro célula tipo expensor compartilhado



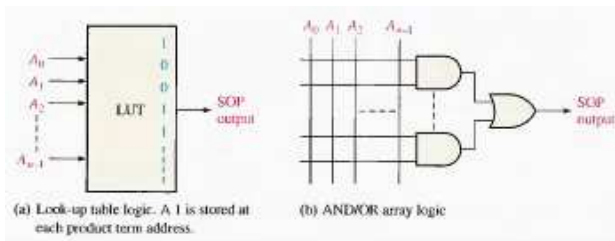
Altera : MAXII CPLD

- Difere totalmente da família MAX 7000. O MAXII CPLD é também conhecido como pós-macro célula.
- Possui em cada LAB, vários elementos lógicos cuja função é semelhante a da macro célula. As interconexões programáveis são linhas e colunas passando entre os LABs.



Altera : MAXII CPLD

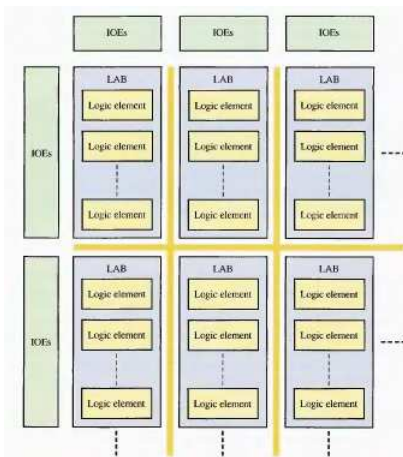
- A principal diferença é que o MAX II usa LUT (Look-Up Tables) (arranjo utilizado para produzir soma de produtos) no lugar de AND/OR.



- Utiliza tecnologia SRAM sendo, portanto, volátil.

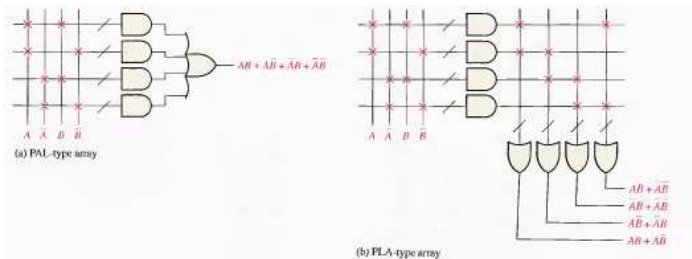
Altera : MAXII CPLD

- Segue o diagrama de blocos do MAX II



CPLD : Xilinx

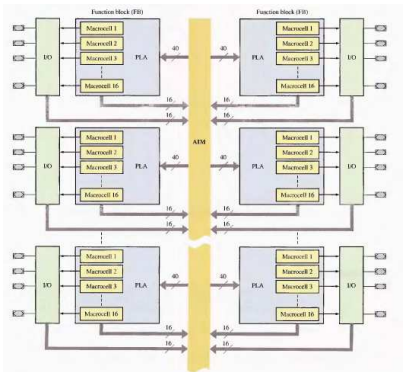
- A Xilinx produz várias famílias CoolRunner II, CoolRunner XPLA3 e XC9500. Nosso foco será na família CoolRunner II.
- Os dispositivos CoolRunner II utilizam PLA (Programmable Logic Gate) ao invés do PAL.



- Note nesta estrutura que ambos os arranjos, a saber AND e OR são programáveis.

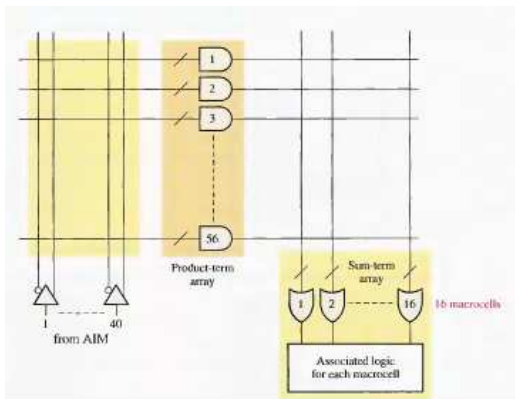
Xilinx : CoolRunner II

- A família CoolRunner II possui múltiplos blocos de função (FB) com 16 macrocélulas cada. Os blocos são interconectados por um AIM (Advanced Interconnect Matrix) que possui a mesma função da PIA. Nesta família o número de blocos de funções varia de 2 a 32.



Xilinx : CoolRunner II

- Diagrama de blocos simplificado de um bloco de funções (FB).

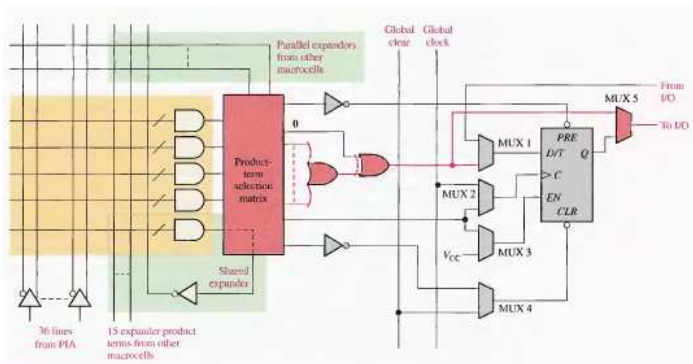


Macro células

- Como já mencionado a macro célula pode ser configurada como lógica combinacional ou sequencial. Os diversos multiplexadores permitem várias programações e o flip-flop adiciona a memória ao dispositivo.
- No caso da família MAX 7000, temos :
 - MUX1 define se a entrada do FF será a do I/O ou a saída da XOR
 - MUX2 define se o clock será global (GCK0, GCK1, GCK2) ou baseado nos termos dos produtos
 - MUX3 define se o enable será Vcc ou baseado nos termos dos produtos
 - MUX4 define se o clear será um clear global ou baseado nos termos dos produtos
 - MUX5 define se a configuração será combinacional ou sequencial.

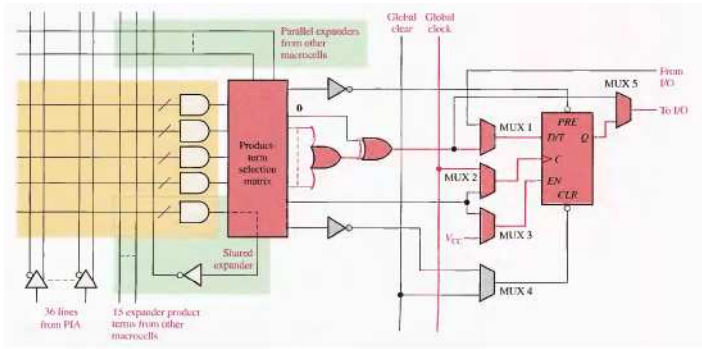
Macro células - MAX 7000

- Configuração - lógica combinacional.



Macro células - MAX 7000

- Configuração - lógica sequencial.

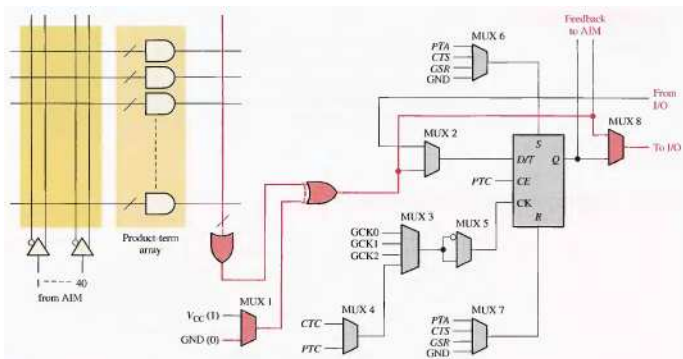


Macro células - CoolRunner II

- MUX1 determina se a lógica será em termos de SOP ou POS
- MUX2 define se a entrada do FF será a do I/O ou a saída da XOR
- MUX3 e MUX4 define o tipo de clock global (GCK0, GCK1, GCK2) ou baseado nos termos dos produtos (CTC, PTC)
- MUX5 define a polaridade do clock
- MUX6 seleciona 4 sinais para setar o FF
- MUX7 fornece a mesma função para resetar
- MUX8 define se a configuração será combinacional ou sequencial.

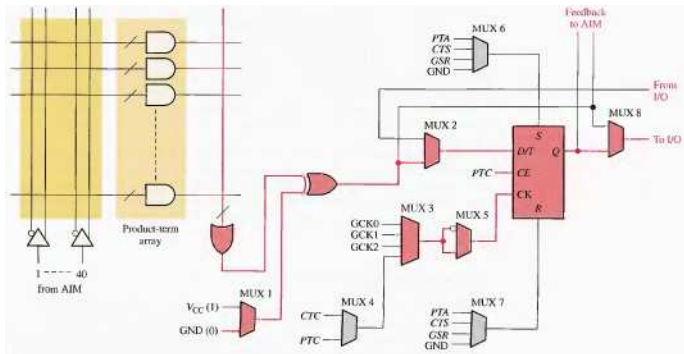
Macro células - CoolRunner II

- Configuração - lógica combinacional.



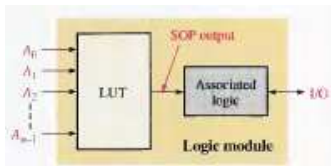
Macro células - CoolRunner II

- Configuração - lógica sequencial.



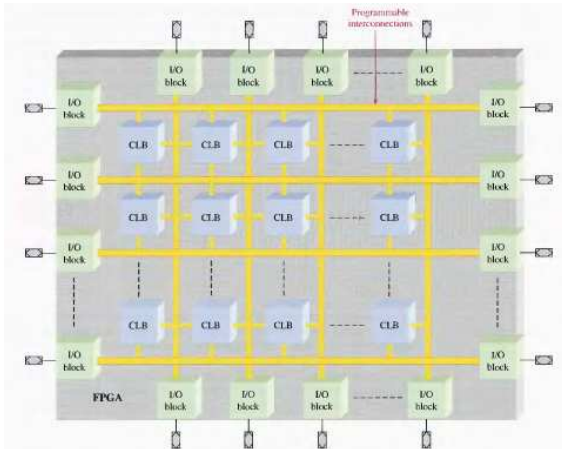
FPGA

- O FPGA (Field Programmable Gate Array) é composto de três elementos básicos : bloco lógico configurável (CLB), interconexões e blocos de entrada/saída ao longo do seu perímetro.
- Difere dos CPLDs pois não utiliza na sua estrutura PAL, GAL ou PLA. No seu lugar, possui módulos lógicos muito menores com uma interconexão programável local usada para conectá-los dentro do CLB.
- O módulo lógico no FPGA pode ser configurado para lógica combinacional, lógica sequencial, ou ambos e utiliza o look-up table.



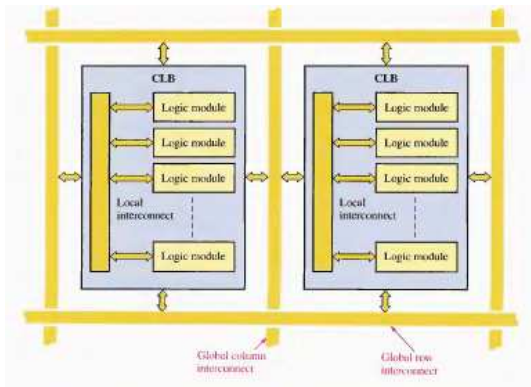
FPGA

- Segue a estrutura básica do FPGA.

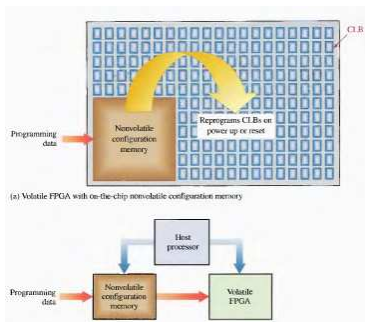


FPGA

- Segue a estrutura básica dos blocos lógicos configuráveis (CLB).

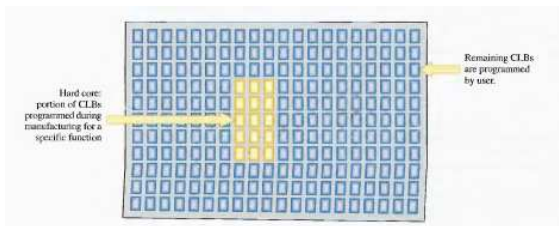


- Os FPGAs utilizam tecnologia volátil SRAM mas incluem uma memória de configuração não-volátil incorporada no chip para armazenar os dados do programa e reconfigurar o aparelho sempre que a alimentação é ligada ou utilizam uma memória externa com transferência de dados controlada por um processador.



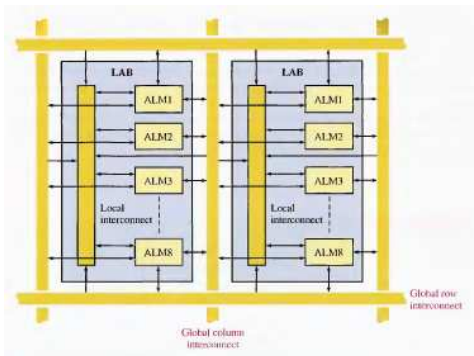
FPGA

- Os FPGAs podem conter núcleos em uma porção de sua estrutura desenvolvidos pelo fabricante para realizar funções específicas e que não podem ser alterados pelo consumidor. Por exemplo, se o consumidor deseja um pequeno microprocessador como parte do projeto, ele pode ser programado dentro do FPGA pelo fabricante.



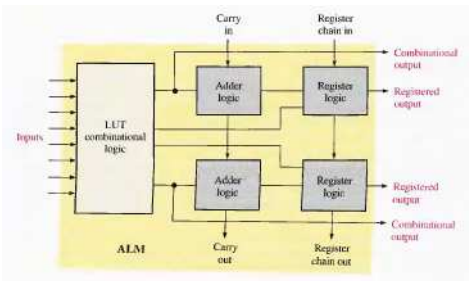
FPGA : Altera

- A Altera produz várias famílias de FPGA, como por exemplo, Stratix III, Stratix II, Arria e Cyclone. Os módulos lógicos da família Stratix II são chamados de ALMs (Adaptative Logic Module) e os blocos lógicos configuráveis são chamados de LABs (Lógic Array Blocks).



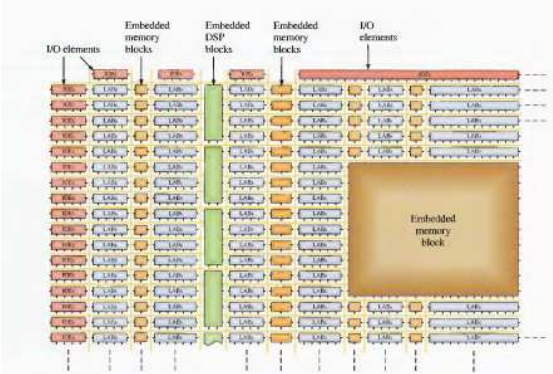
FPGA : Altera

- Segue um diagrama simplificado do ALM.



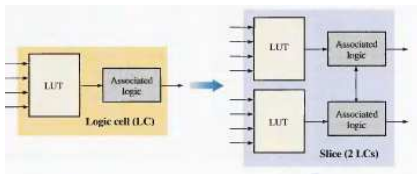
FPGA : Altera

- O FPGA contém funções de memória incorporadas como o DSP (Digital Signal Processing), filtros digitais, etc.

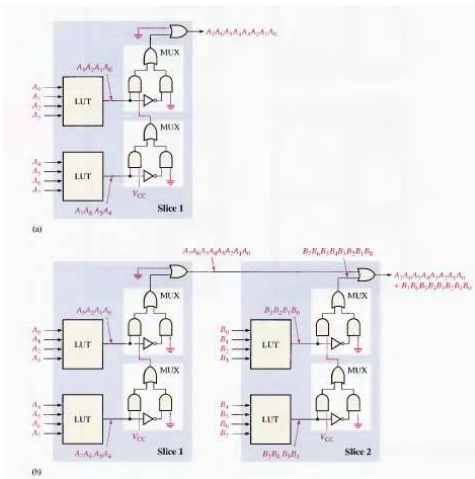


FPGA : Xilinx

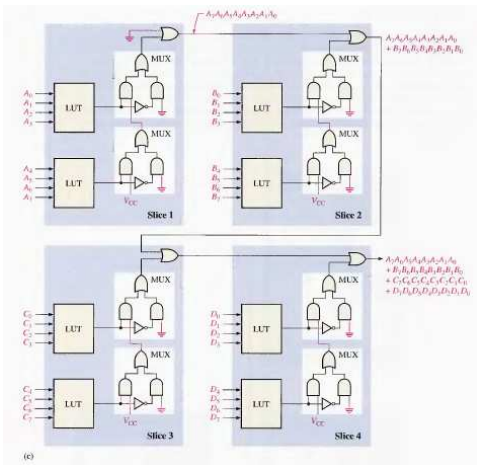
- As duas maiores linhas são Spartan e Virtex. A maioria dos produtos da Xilinx possui uma arquitetura tradicional de FPGA, entretanto, o Virtex II Pro X possui o ASMBL (Application Specific Modular Block) conhecido como assemble que possui densidade muito maior.
- Em geral, os blocos lógicos configuráveis possuem várias unidades lógicas básicas chamadas de células lógicas (LC). Cada LC possui 4 entradas lógicas e um FF que pode gerar 16 termos de produtos. Duas células lógicas idênticas conectadas são chamadas de “slice”.



FPGA : Exemplo do uso dos slices :

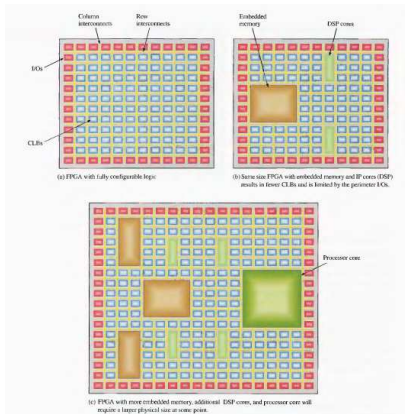


FPGA : Exemplo do uso dos slices :



FPGA : Arquitetura tradicional × ASMBL

- Na arquitetura tradicional, as funções incorporadas (memória, DSP, e processador) resultam em menores espaços para os CLBs e aumento do tamanho dos chips.



FPGA : Arquitetura tradicional x ASMBL

- A arquitetura ASMBL, é baseada em uma estrutura de colunas. As entradas/saídas são intercaladas sem necessidade de aumentar o tamanho do chip. Cada coluna pode representar CLB, funções, ou I/Os.

