

# Circuitos Lógicos

**Profa. Grace S. Deaecto**

Faculdade de Engenharia Mecânica / UNICAMP  
13083-860, Campinas, SP, Brasil.  
grace@fem.unicamp.br

Segundo Semestre de 2013



## NOTA AO LEITOR

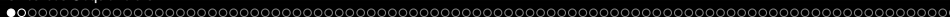
Estas notas de aula foram inteiramente baseadas nas seguintes referências :

- T. Floyd, “*Digital Fundamentals*”, 10th Edition, Prentice Hall, 2009.
- R. J. Tocci, N. S. Widmer, G. L. Moss, “*Sistemas Digitais : Princípios e Aplicações*”, Prentice-Hall, 2007.
- S. Brown, Z. Vranesic, “*Fundamentals of Digital Logic with Verilog Design*”, McGrawHill, 2003.
- I. V. Iodeta, F. G. Capuano, “*Elementos de Eletrônica Digital*”, Editora Érica, 2006.
- V. A. Pedroni, “*Circuit Design and Simulation with VHDL*”, 2<sup>nd</sup> Edition, MIT, 2010.



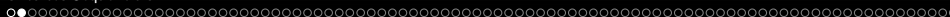
## 1 Circuitos Sequenciais

- Lógica sequencial
- Latches S-R e D
- Flip-flops S-R, J-K e D
- Características de operação
- Multivibradores
- Contadores
- Máquinas de estados finitos
- Registradores de deslocamento



# Lógica sequencial

- No capítulo anterior, estudamos circuitos combinacionais em que o estado da saída, em um dado instante, depende apenas dos estados das entradas naquele mesmo instante.
- Neste capítulo, estudaremos **circuitos sequenciais**, cuja característica principal é a presença de **memória**.
- O mais importante elemento de memória é o **flip-flop (FF)**.
- O FF é construído através de um arranjo de portas lógicas com **realimentação**.
- Como veremos, os FFs necessitam apenas de serem ativados através de um pulso momentâneo para mudar o estado da saída. Ademais, este estado permanece após cessado o pulso mantendo a informação.
- A maioria dos sistemas digitais são combinações de lógicas sequências e combinacionais.



# Lógica sequencial

- Estudaremos também  **circuitos astáveis, monoestáveis e biestáveis**  que são conhecidos como multivibradores.
- Os FF são  **multivibradores biestáveis**  pois possuem dois estados estáveis SET e RESET.
- Os  **multivibradores monoestáveis**  possuem somente um estado estável e são conhecidos como one-shot. São normalmente usados para geração de pulsos de tensão de largura definida a partir de um pulso externo.
- Os  **multivibradores astáveis**  não possuem estado estável e são utilizados como osciladores.

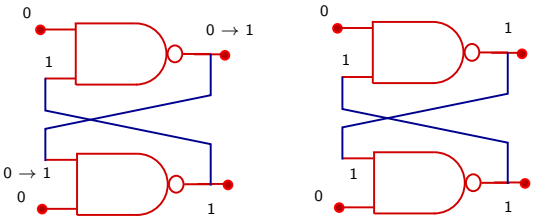




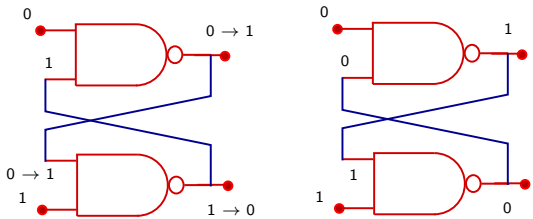


De fato, note que :

### Inválido



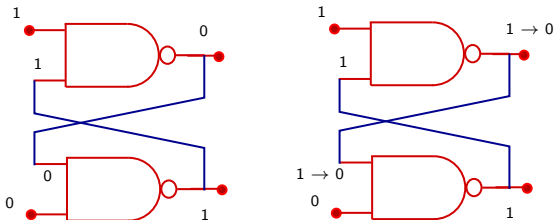
### Estado Set



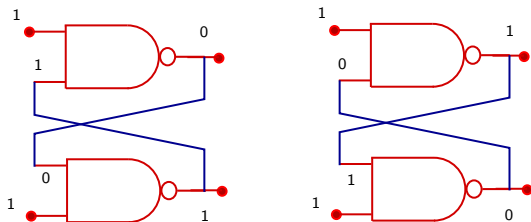


De fato, note que :

### Estado Reset



### Mantém o estado anterior

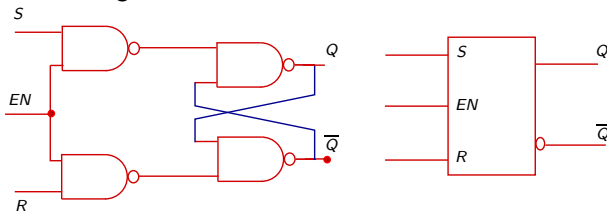




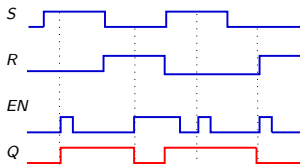


# Latch S-R com enable

- Considere o seguinte circuito

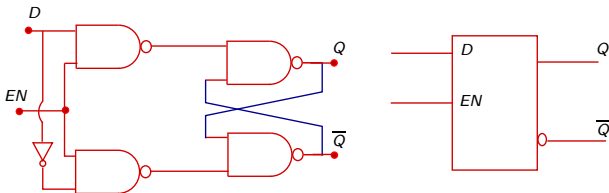


- Se  $EN = 0$  o estado anterior é mantido, enquanto que, se  $EN = 1$  o circuito comporta-se como um latch S-R ativo em nível alto.
- A seguir considere que o estado inicial do latch é reset.



# Latch D

- O latch D é representado pela figura seguinte



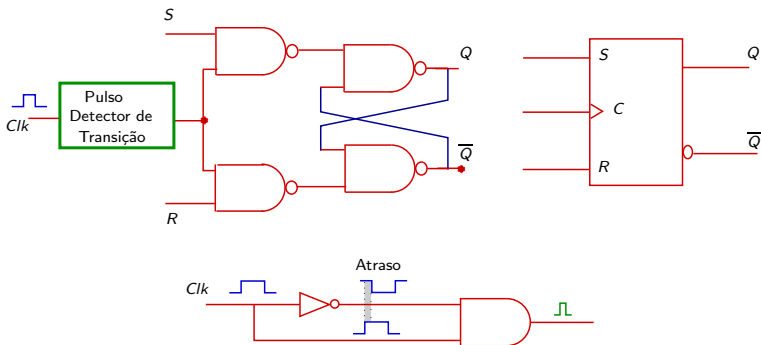
e é descrito pela tabela verdade

$D$	$EN$	$Q$
0	1	0
1	1	1
x	0	Mantém $Q_a$



# Flip-flop S-R

- A figura apresenta um flip-flop S-R e um tipo de circuito detector de transição de borda de subida.



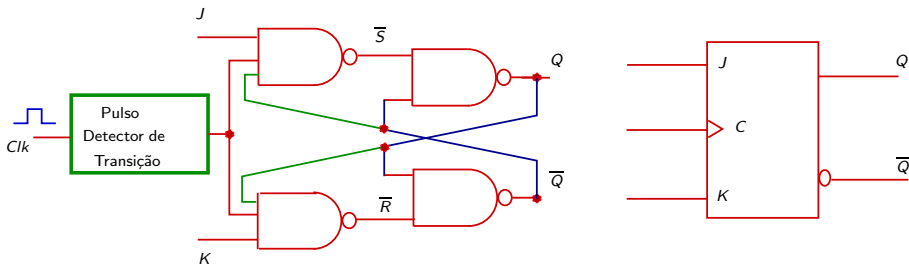
- Note que, para detectar a borda de descida o pulso é invertido antes de passar no NOT.





# Flip-flop J-K

- O princípio de funcionamento de um flip-flop J-K é idêntico ao do S-R, com a diferença de que **ele não possui estado inválido**.
- A figura a seguir mostra o seu diagrama simplificado.

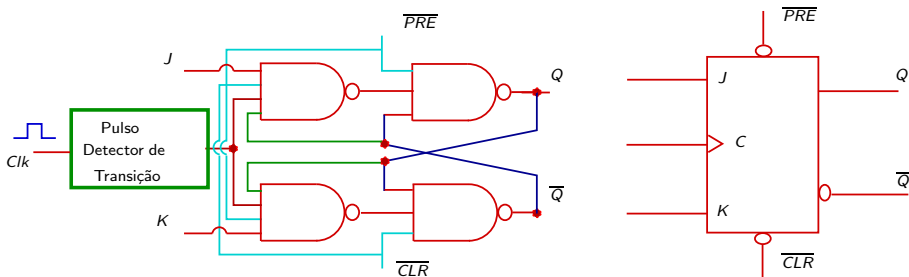






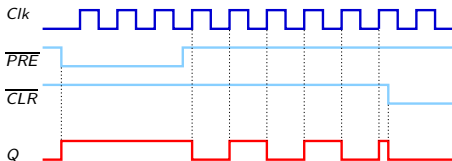
# Flip-flop J-K

- A figura a seguir apresenta o FF J-K com entradas assíncronas ativas em nível baixo. Observe as novas conexões em destaque.

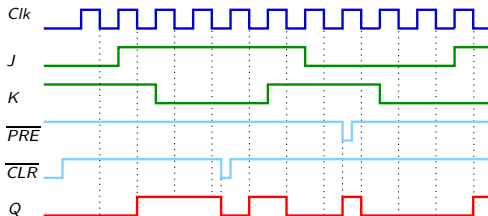


# Flip-flop J-K

- Considere um flip-flop T sensível à borda de subida com estado inicial reset.



- Considere um flip-flop J-K sensível à borda de descida.

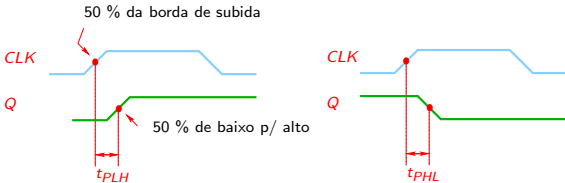




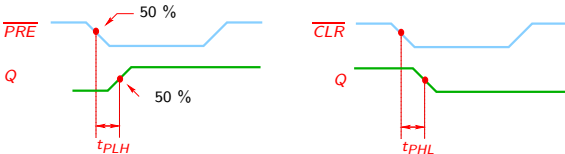
# Atrasos de propagação

O **atraso de propagação** é definido como o tempo necessário para a emissão de uma resposta do FF após a aplicação de um sinal de entrada. Ele pode ser de quatro tipos.

- Relativos ao sinal de clock.

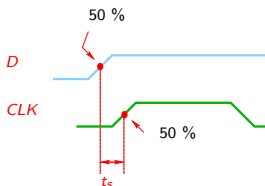


- Relativos às entradas assíncronas de preset ou clear.

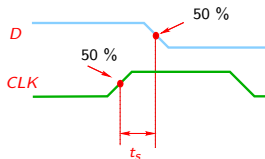


# Tempo de set-up e de espera

O **tempo de set-up** é o intervalo de tempo mínimo exigido para que os níveis lógicos das entradas J, K ou S, R ou D fiquem constantes antes do disparo dos pulsos de clock.



O **tempo de espera** é o intervalo de tempo mínimo exigido para os níveis lógicos permaneçam na entrada após o disparo dos pulsos de clock.



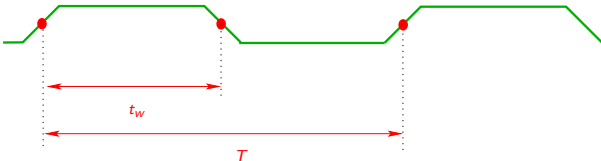


# Especificações

A seguir estão definidas outras especificações importantes :

- **Frequência máxima do clock**, denotada como ( $f_{max}$ ), é a maior taxa possível para o clock para que o FF opere de maneira confiável.
- **Largura de pulso**, denotado como ( $t_w$ ), são larguras mínimas que definem operações confiáveis para o clock, preset e clear.
- **Ciclo de trabalho (duty-cycle)** é definido como

$$d_c = \left( \frac{t_w}{T} \right) \times 100\%$$

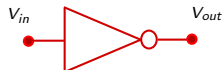
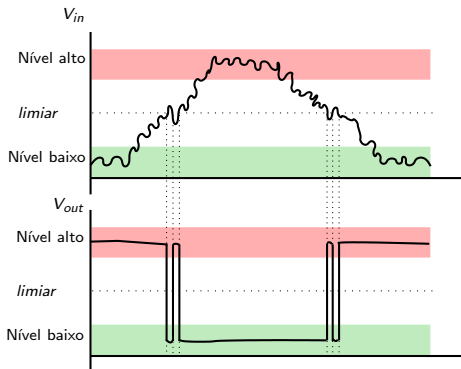




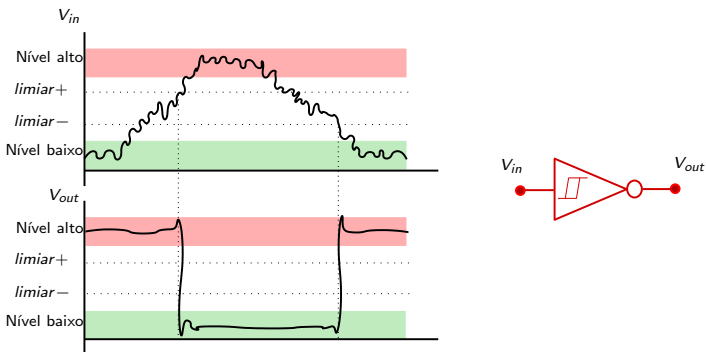


# Schmitt-triggers

- Estes dispositivos possuem um circuito especial para especificação dos limiares (threshold) que evita o efeito das comutações indevidas entre os níveis lógicos. Ele é muito utilizado para mudanças lentas do sinal de entrada.
- Segue a resposta de um inversor comum.



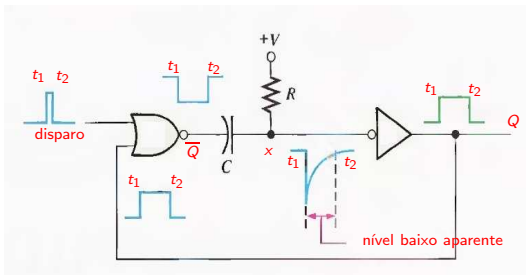
- Segue a resposta de um inversor com Schmitt-trigger.



- Note que a saída mudará de nível alto para baixo somente quando a entrada ultrapassar o  $limiar+$ . Ademais, uma vez que a saída está em nível baixo, lá permanecerá até que a entrada atinja o  $limiar-$ . Assim, variações entre os limiares não alteram o valor da saída.

# Multivibrador monoestável (one-shot)

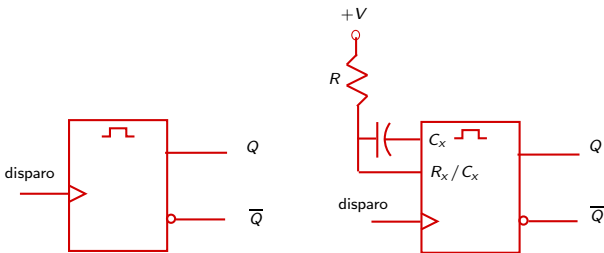
- São multivibradores com apenas um estado estável ( $Q=0$ ). A comutação para o estado instável ocorre quando é acionado o disparo.
- Após este instante, o dispositivo permanece no estado instável por um certo período de tempo, que define a largura de pulso da saída e, posteriormente, retorna ao estado estável.





# Multivibrador monoestável (one-shot)

- A figura apresenta o símbolo lógico para o one-shot e o mesmo símbolo considerando R e C externos.



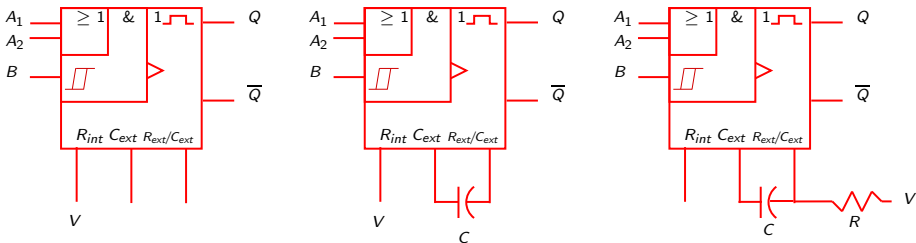
- Eles podem ser de dois tipos redisparráveis (retriggerable) e não-redisparráveis (nonretriggerable).
- **One-shot redisparrável** - Considera os disparos ocorridos durante o estado instável.
- **One-shot não-redisparrável** - Ignora os disparos ocorridos durante o estado instável.





# Multivibrador monoestável (one-shot)

- One-shot não redisparrável disponível no mercado (74121)



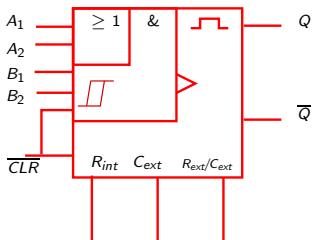
Neste caso

$$t_w = 0.7RC_{ext}$$

em que  $R$  pode ser  $R_{int} = 20 \text{ k}\Omega$  ou  $R_{ext}$  dependendo da configuração escolhida. O valor de  $t_w$  pode variar de 30 ns a 28 s.

# Multivibrador monoestável (one-shot)

- One-shot redispensável disponível no mercado (74LS122)



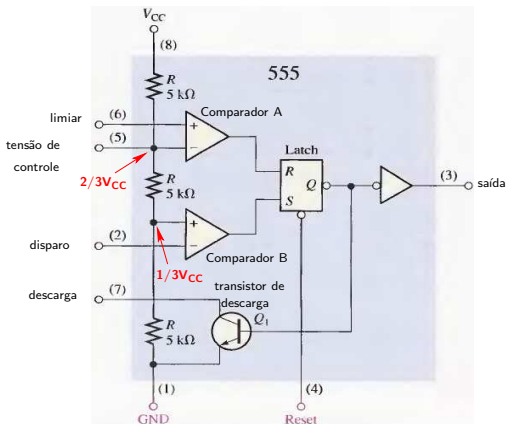
A largura de pulso mínima é de 45 ns. A fórmula geral de cálculo é

$$t_w = 0.32R C_{ext} \left( 1 + \frac{0.7}{R} \right)$$

em que  $R$  é o valor da resistência interna  $R_{int} = 10 \text{ k}\Omega$  ou externa  $R_{ext}$ .

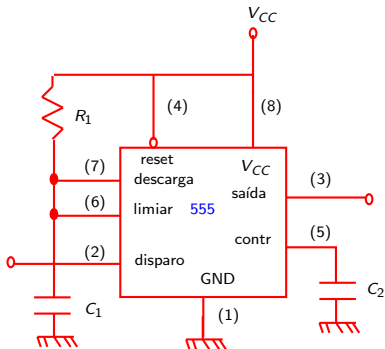
# Temporizador 555

- O temporizador 555 é um CI muito versátil e pode ser configurado para atuar como multivibrador monoestável, ou astável. O seu diagrama funcional interno está apresentado a seguir.

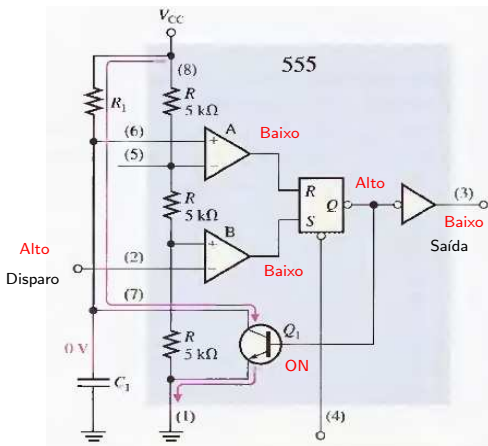


# Operação do 555 como multivibrador monoestável

- Para que o temporizador opere como um multivibrador monoestável, ele deve ser conectado como apresentado a seguir. Neste caso, temos  $t_w = 1.1R_1 C_1$ . A tensão de controle não é usada e é conectada a um capacitor de  $C_2 = 0.01\mu F$  para evitar que ruídos afetem o disparo e a entrada de limiar.



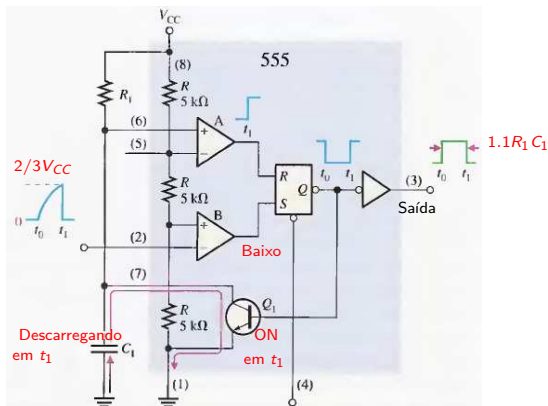
- Antes de ocorrer o disparo :



A entrada de disparo (2) encontra-se em nível alto. O estado  $\overline{Q}$  também em nível alto faz com que o transistor  $Q_1$  opere como uma chave fechada mantendo  $C_1$  descarregado. A saída  $Q$  está no seu estado estável  $Q = 0$ .



- No final do intervalo de carga :

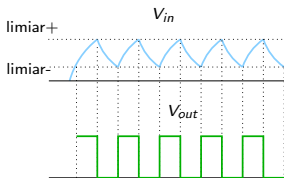
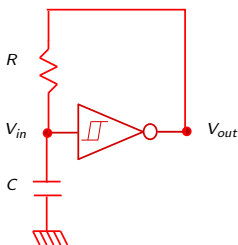


Quando a tensão do capacitor atinge  $1/3V_{CC}$ , o latch  $R=0$  e  $S=0$  mantém o estado anterior  $\overline{Q} = 0$ . Quando a tensão atinge  $2/3V_{CC}$  em  $t_1$  o latch é “resetado” e o transistor  $Q_1$  passa a operar como chave fechada. O capacitor começa a descarregar. Note que  $1.1R_1C_1$  é o tempo que  $Q$  está em nível alto.



# Multivibrador astável

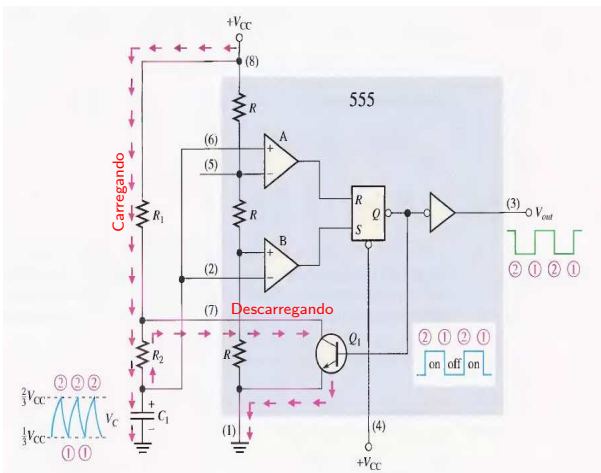
- São multivibradores que não possuem nenhum estado estável.
- Na verdade, a saída oscila entre dois estados instáveis sem a necessidade de disparos externos, por isso, são conhecidos como osciladores.
- São muito utilizados como sinais de clock em alguns tipos de circuitos sequenciais.







# Operação do 555 como multivibrador astável





- No circuito anterior, a frequência de oscilação é dada por

$$f = \frac{1.44}{(R_1 + 2R_2)C_1}$$

- Como o capacitor carrega através de  $R_1 + R_2$  e descarrega através de  $R_2$  o ciclo de trabalho pode ser ajustado através da escolha de  $R_1$ ,  $R_2$  e  $C_1$ . Para que ele seja aproximadamente 50% pode-se escolher  $R_2 \gg R_1$ .
- Genericamente o duty cycle é calculado como

- Tempo em que a saída é alta (tempo para carregar de  $1/3V_{cc}$  a  $2/3V_{cc}$ )

$$t_H = 0.7(R_1 + R_2)C_1$$

- Tempo em que a saída é baixa (tempo para descarregar de  $2/3V_{cc}$  a  $1/3V_{cc}$ )

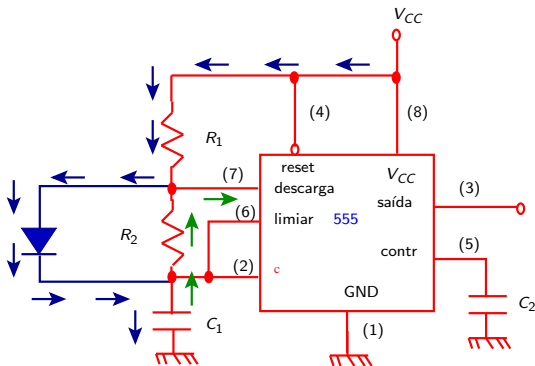
$$t_L = 0.7R_2C_1$$

- Duty cycle

$$d_c = \frac{t_H}{T} = \frac{t_H}{t_H + t_L} = \left( \frac{R_1 + R_2}{R_1 + 2R_2} \right) 100\%$$

- Para obter valores do duty-cycle menores do que 50% podemos modificar o circuito de forma a fazer o capacitor carregar somente através de  $R_1$  e descarregar somente através de  $R_2$ . Neste caso, temos

$$d_c = \frac{t_H}{T} = \frac{t_H}{t_H + t_L} = \left( \frac{R_1}{R_1 + R_2} \right) 100\%$$

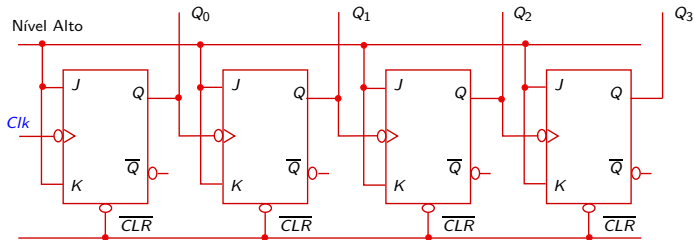






# Contadores assíncronos

- A seguir apresentamos um contador assíncrono de quatro bits. Note que o clock está ligado apenas ao primeiro FF.

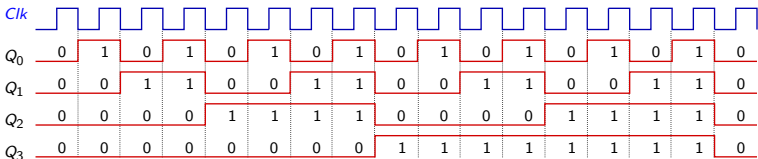


- Primeiramente, aplica-se um sinal de clear para que todos os estados iniciais sejam iguais a 0. Note que o primeiro FF alterna o seu estado a cada descida do clock, o segundo a cada descida de  $Q_0$ , o terceiro FF a cada descida de  $Q_1$  e o quarto a cada descida de  $Q_2$ .

Descida do clock	Saída			
	$Q_3$	$Q_2$	$Q_1$	$Q_0$
início	0	0	0	0
1ª	0	0	0	1
2ª	0	0	1	0
3ª	0	0	1	1
4ª	0	1	0	0
5ª	0	1	0	1
6ª	0	1	1	0
7ª	0	1	1	1
8ª	1	0	0	0
9ª	1	0	0	1
10ª	1	0	1	0
11ª	1	0	1	1
12ª	1	1	0	0
13ª	1	1	0	1
14ª	1	1	1	0
15ª	1	1	1	1
16ª	0	0	0	0

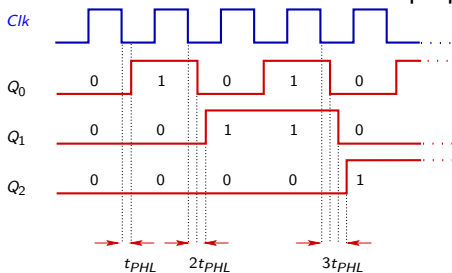
- A frequência de  $Q_0$  é metade da frequência do clock, a de  $Q_1$  é  $1/4$ , a de  $Q_2$  é  $1/8$  e a frequência de  $Q_3$  é  $1/16$  da frequência do clock. Logo, uma das funções dos contadores é **dividir a frequência de sinais aplicados à entrada de clock**.

- Na 16ª descida do clock, o contador volta para seu estado inicial, ou seja, **recicla**.



# Atraso de propagação

- Uma das desvantagens dos **contadores assíncronos**, também conhecidos como **“ripple counters”**, é que os atrasos de propagação se acumulam a medida que o sinal passa através dos flip-flops, limitando a frequência do clock a um valor máximo. A seguir, apresentamos um diagrama de tempo que leva em conta os atrasos de propagação.

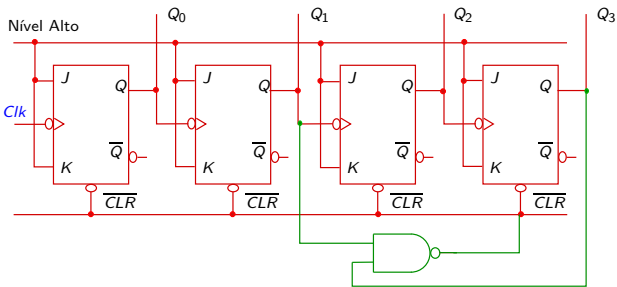


Note que se o atraso de propagação for igual a  $t_{PHL} = 40$  ns então a frequência máxima permitida para o contador é

$$f_{max} = \frac{1}{3 \times 40 \times 10^{-9}} = 8.33 \text{ MHz}$$

# Contador de década

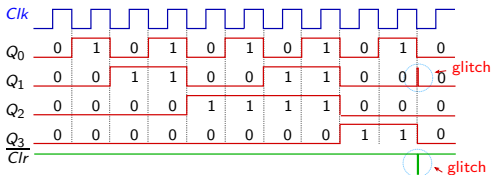
- O módulo de um contador é a quantidade de sequências envolvidas na contagem.
- O contador de década, conhecido como módulo 10 (MOD10), é o circuito que efetua a contagem de números binários de 0000 a 1001 gerando a sequência do código BCD.
- Para que a contagem ocorra até 1001 é necessário fornecer nível lógico baixo ao clear assim que surgir o número 1010.



# Contador de década

- Seguem a tabela verdade e o diagrama de tempo

Descida do clock	Saída			
	$Q_3$	$Q_2$	$Q_1$	$Q_0$
início	0	0	0	0
1ª	0	0	0	1
2ª	0	0	1	0
3ª	0	0	1	1
4ª	0	1	0	0
5ª	0	1	0	1
6ª	0	1	1	0
7ª	0	1	1	1
8ª	1	0	0	0
9ª	1	0	0	1
10ª	1→0	0→0	1→0	0→0

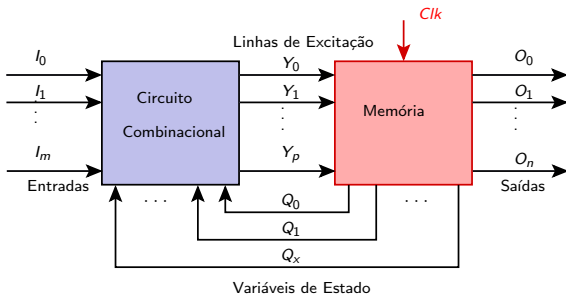






# Modelo geral de um circuito sequencial

- O circuito sequencial também conhecido como **máquina de estado** possui a seguinte estrutura.

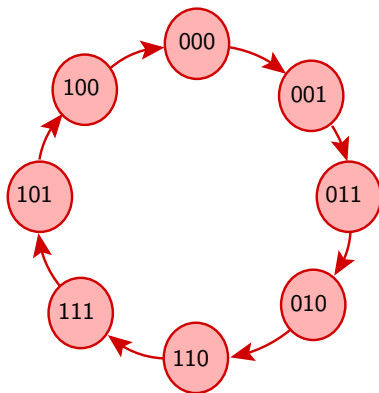


- Dependendo das linhas de excitação ( $Y_0, Y_1, \dots, Y_p$ ) a memória no estado atual ( $Q_0, Q_1, \dots, Q_x$ ) passa para o próximo estado assim que o pulso de clock é disparado.
- O estado atual juntamente com as entradas ( $I_0, I_1, \dots, I_m$ ) determinam as saídas do sistema ( $O_0, O_1, \dots, O_x$ ).



# Diagrama de estado

- O **diagrama de estado** mostra a progressão dos estados a cada pulso do clock.
- Segue o exemplo de um contador em código Gray de 3 bits.



# Tabela do próximo estado

- Segue a tabela do próximo estado para o diagrama apresentado anteriormente. O próximo estado é o estado para onde vai o contador após o pulso de clock.

Estado Atual			Próximo Estado		
$Q_2$	$Q_1$	$Q_0$	$Q_2^*$	$Q_1^*$	$Q_0^*$
0	0	0	0	0	1
0	0	1	0	1	1
0	1	1	0	1	0
0	1	0	1	1	0
1	1	0	1	1	1
1	1	1	1	0	1
1	0	1	1	0	0
1	0	0	0	0	0

- Para cada estado  $Q_i$  referente ao  $i$ -ésimo flip-flop devemos saber como deve ocorrer a excitação das entradas  $J_i, K_i$  para que a transição desejada ocorra. Considerando a tabela do flip-flop J-K à esquerda obtemos a tabela de excitação à direita.

J	K	$Q_{i+1}$
0	0	$Q_i$
0	1	0
1	0	1
1	1	$\overline{Q_i}$

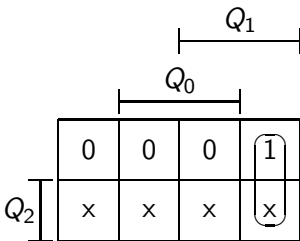
 $\Rightarrow$ 

$Q_i$	$Q_{i+1}$	Entradas	
		J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

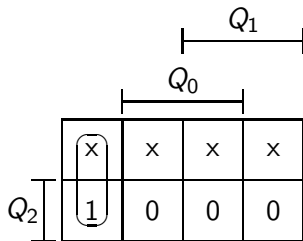


# Projeto do contador

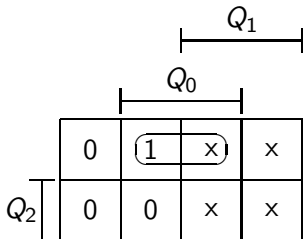
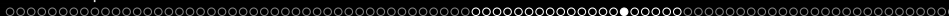
- Segue a minimização de cada entrada via mapa de Karnaugh



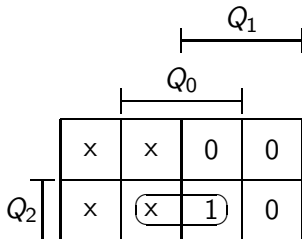
$$J_2 = Q_1 \bar{Q}_0$$



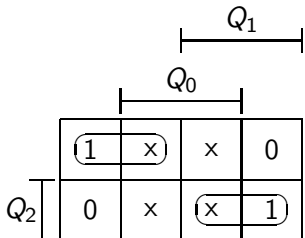
$$K_2 = \bar{Q}_1 \bar{Q}_0$$



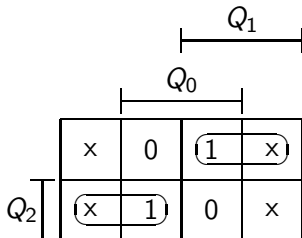
$$J_1 = \overline{Q_2} Q_0$$



$$K_1 = \overline{Q_2} Q_0$$



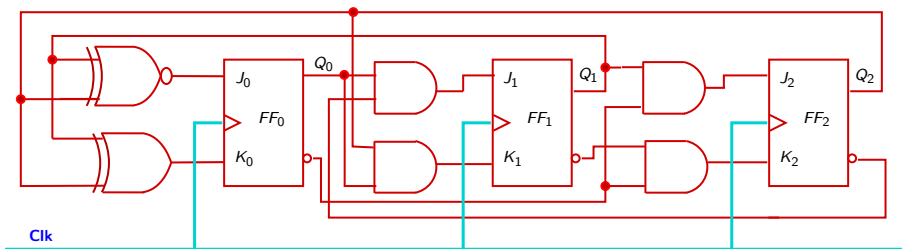
$$J_0 = \overline{Q_2} \oplus Q_1$$



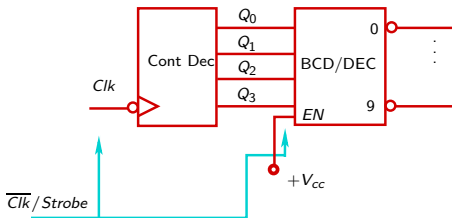
$$K_0 = Q_2 \oplus Q_1$$

# Projeto do contador

- A figura a seguir apresenta a implementação do contador síncrono projetado.



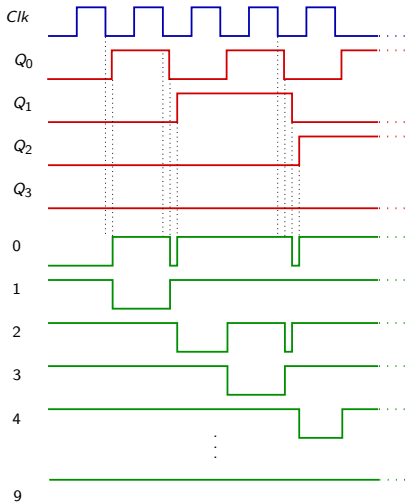
- Como vimos anteriormente, os contadores assíncronos estão sujeitos a picos de tensão indesejados (glitches) devido ao atraso de propagação. Nos contadores síncronos este fenômeno também pode ocorrer.
- A figura mostra um contador de década assíncrono conectado a um decodificador de BCD para decimal.



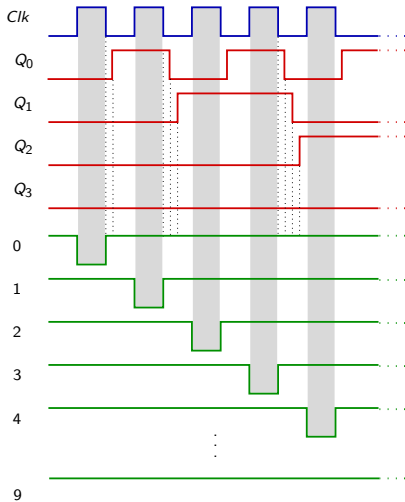
- A linha azul é uma conexão tipo *strobing* utilizada para evitar glitches. Note que com esta conexão o enable ficará ligado ao clock e não ao  $+V_{CC}$ . Desta maneira, quando o disparo ocorre na borda de descida, o decodificador liberará a saída apenas quando  $Clk = 1$  e após eventuais atrasos de propagação, evitando glitches.



# Eliminação do glitch



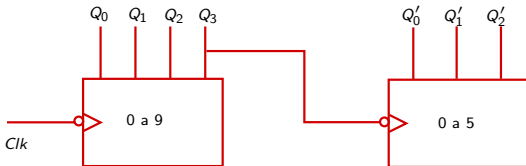
Sem strobing



Com strobing

## Algumas aplicações

- A seguir apresentaremos a aplicação dos contadores para a implementação de relógios digitais.
- O contador de 0 a 59 é muito utilizado em circuitos temporizadores para indicar minutos e segundos. Uma maneira de projetá-lo é utilizando dois contadores, um deles com a contagem de 0 a 9 e o outro de 0 a 5 como mostrado a seguir.



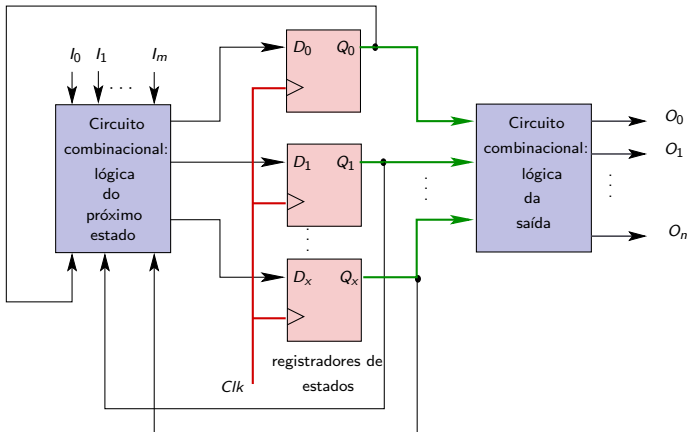
- A cada 10 pulsos de clock no primeiro contador temos uma descida de clock no segundo e, após o 60<sup>o</sup> pulso a contagem recomeça.





# Modelo de Moore

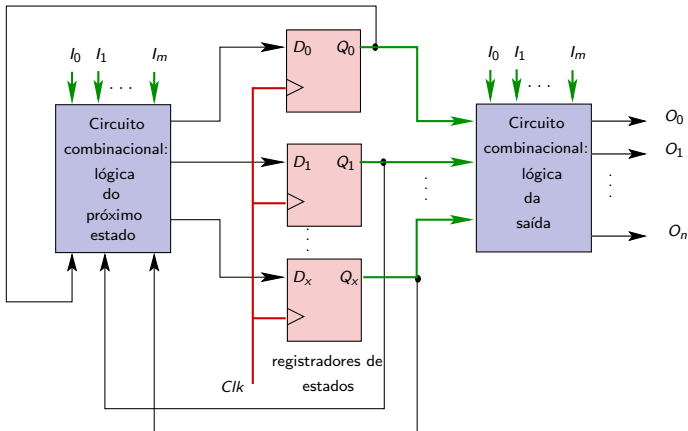
- Esquema do modelo de Moore.



- Note que a saída depende somente do estado atual.

# Modelo de Mealy

- Esquema do modelo de Mealy.

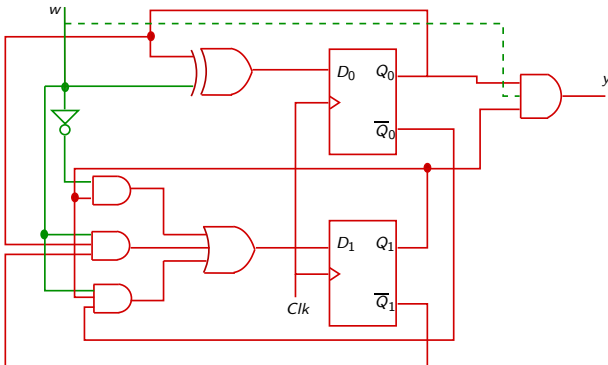


- Note que a saída depende do estado atual **e das entradas externas.**



# Análise de máquinas de estados

- Considere a seguinte máquina de estados, primeiramente, desconsiderando a linha pontilhada.



- Como a saída depende somente dos estados atuais, a máquina em estudo é uma **máquina de Moore**.



# Análise de máquinas de estados

- Equações de excitação

$$D_0 = w \oplus Q_0$$

$$\begin{aligned} D_1 &= \bar{w} \cdot Q_1 + w \cdot Q_0 \cdot \bar{Q}_1 + w \cdot \bar{Q}_0 \cdot Q_1 \\ &= \bar{w} \cdot Q_1 + w \cdot (Q_0 \oplus Q_1) \end{aligned}$$

- Equações de estado

$$Q_0^* = w \oplus Q_0$$

$$Q_1^* = \bar{w} \cdot Q_1 + w \cdot (Q_0 \oplus Q_1)$$

- Equação de saída

$$y = Q_0 \cdot Q_1$$

# Análise de máquinas de estados

- Utilizando as equações anteriores, obtemos :

## Tabela de transição

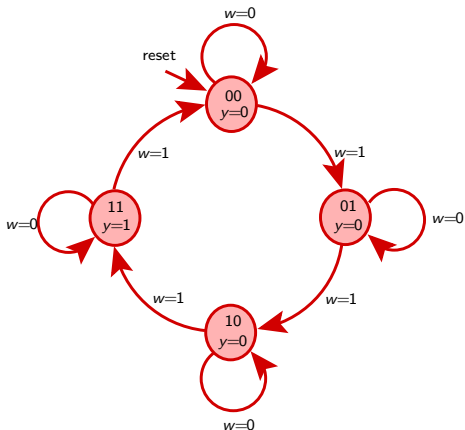
Estado atual		Próximo estado			
		$w = 0$		$w = 1$	
$Q_1$	$Q_0$	$Q_1^*$	$Q_0^*$	$Q_1^*$	$Q_0^*$
0	0	0	0	0	1
0	1	0	1	1	0
1	0	1	0	1	1
1	1	1	1	0	0

## Tabela de saída

Estado atual		Saída
$Q_1$	$Q_0$	$y$
0	0	0
0	1	0
1	0	0
1	1	1

# Análise de máquinas de estados

## • Diagrama de estados



Este é um diagrama típico de máquina de Moore :

- As saídas são apresentadas juntamente com os estados e obedecem ao ciclo do clock, sofrendo alterações **somente** na borda de subida ou descida do clock.
- As entradas são apresentadas nos arcos de transição.
- De cada estado saem dois arcos, cada um representado os valores lógicos da entrada.
- Note a presença do estado inicial "reset".

# Análise de máquinas de estados

- Se considerarmos a linha pontilhada, a saída  $y$  passa a depender da entrada  $e$ , portanto, temos uma **máquina de Mealy**.
- A equação da saída torna-se

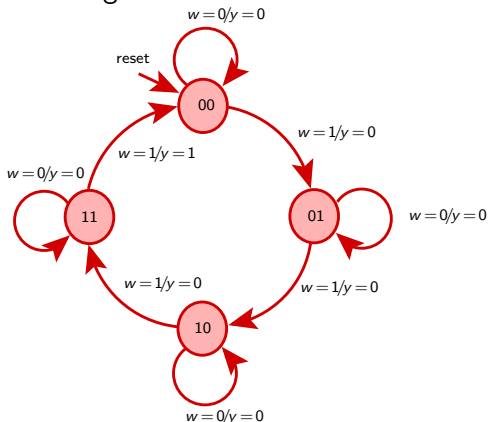
$$y = w \cdot Q_0 \cdot Q_1$$

e a sua tabela mostra a dependência das entradas

Estado atual		Saída	
		$w = 0$	$w = 1$
$Q_1$	$Q_0$	$y$	$y$
0	0	0	0
0	1	0	0
1	0	0	0
1	1	0	1

# Análise de máquinas de estados

## • Diagrama de estados

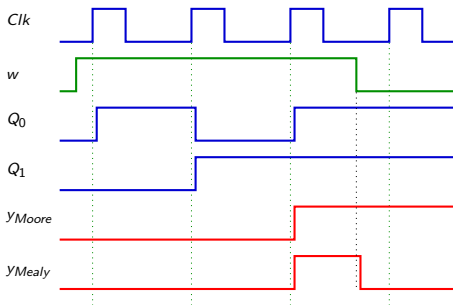


Este é um diagrama típico de **máquina de Mealy** :

- Nos arcos de transição são apresentadas as entradas e as saídas  $w/y$ .
- As saídas podem ser assíncronas, ou seja, podem alterar seus estados durante um período do clock, dependendo das mudanças no estado da entrada.
- Note a presença do estado inicial "reset".

# Análise de máquinas de estados

- Diagrama temporal :



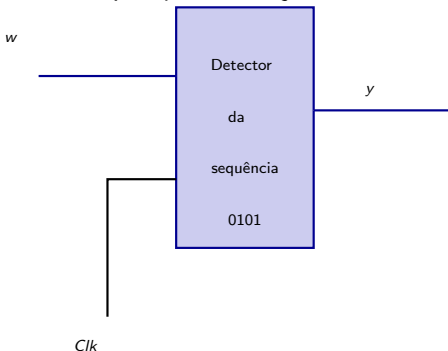
- Note que  $y_{Mealy}$  sofre alteração durante o período do clock.



# Síntese de máquinas de estado

Vamos explicar a síntese através de um exemplo :

- Deseja-se obter um circuito que identifique a ocorrência da sequência 0101 na sua única entrada  $w$ . Quando a sequência for detectada a saída  $y$  deve ser igual a 1. Considerar a possibilidade de sobreposição, ou seja, 01<sup>0</sup>101.





- Neste projeto, A será o estado inicial e os estados B, C, D e/ou E representarão a detecção do 1º, 2º, 3º e/ou 4º bits da sequência.
- Como será observado, na máquina de Mealy, uma vez detectado o 3º bit, não é necessário aguardar o pulso de clock para a detecção do 4º, sendo necessário um estado a menos.
- Logo, utilizaremos 2 FFs para o projeto de 4 estados na máquina de Mealy e 3 FFs para realizar o mesmo projeto considerando a máquina de Moore.
- A codificação influencia diretamente na complexidade do circuito. Utilizaremos a codificação binária mais simples descrita a seguir :

### Máquina de Moore

Estados	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>
A	0	0	0
B	0	0	1
C	0	1	0
D	0	1	1
E	1	0	0

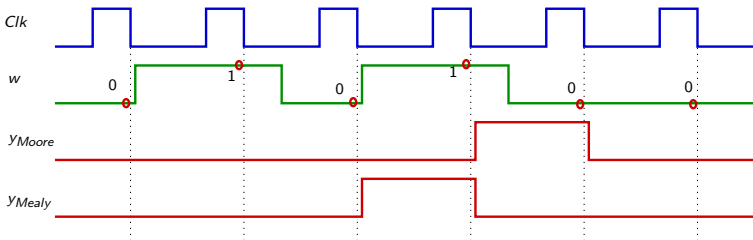
### Máquina de Mealy

Estados	Q <sub>1</sub>	Q <sub>0</sub>
A	0	0
B	0	1
C	1	0
D	1	1

- Exercício : Realizar o mesmo projeto utilizando a codificação em Gray.

# Escolha do modelo

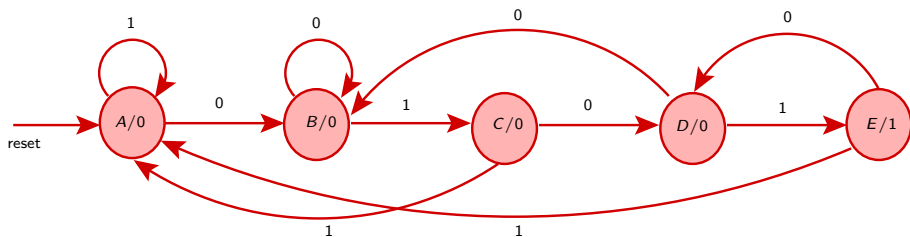
- A escolha do modelo deve ser realizada de acordo com a necessidade da aplicação. Note que as respostas de ambos são diferentes, como mostra o diagrama temporal a seguir.



- A sequência é detectada mais rapidamente na máquina de Mealy mas a duração de  $y_{Mealy} = 1$  depende da duração da entrada em nível alto no período em consideração. Na máquina de Moore a duração sempre obedece o período do clock.

# Diagrama de estados

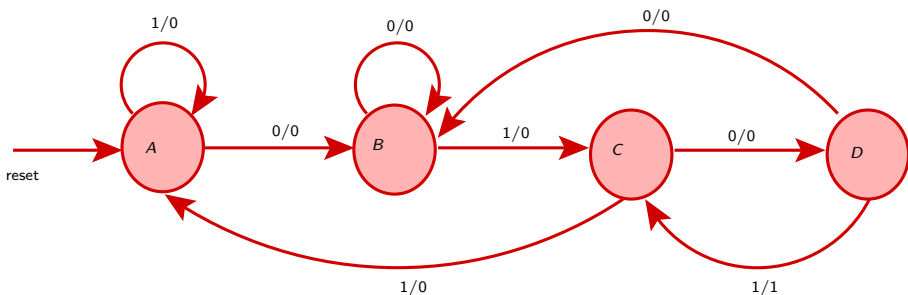
- Segue o diagrama de estados para a máquina de Moore.



- Para cada estado, as transições representam as condições possíveis da entrada  $w$ , e a saída está apresentada junto aos estados *Estado*/ $y$ .

# Diagrama de estados

- Segue o diagrama de estados para a máquina de Mealy.



- Para cada estado, as transições representam as condições possíveis da entrada e a saída correspondente  $w/y$ .

# Síntese utilizando o modelo de Mealy

- A seguir realizaremos a síntese utilizando o modelo de Mealy.

### Tabela de transição

Estado atual		Próximo estado			
		$w = 0$		$w = 1$	
$Q_1$	$Q_0$	$Q_1^*$	$Q_0^*$	$Q_1^*$	$Q_0^*$
0	0	0	1	0	0
0	1	0	1	1	0
1	0	1	1	0	0
1	1	0	1	0	0

### Tabela de saída

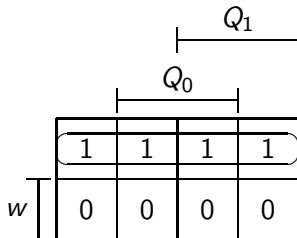
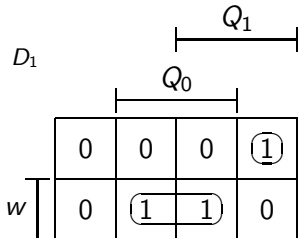
Estado atual		Saída	
		$w = 0$	$w = 1$
$Q_1$	$Q_0$	$y$	$y$
0	0	0	0
0	1	0	0
1	0	0	0
1	1	0	1

### Tabela de Excitação

Estado atual		Próximo estado			
		$w = 0$		$w = 1$	
$Q_1$	$Q_0$	$D_1$	$D_0$	$D_1$	$D_0$
0	0	0	1	0	0
0	1	0	1	1	0
1	0	1	1	0	0
1	1	0	1	0	0

# Síntese utilizando o modelo de Mealy

- Obtenção das equações de excitação



$$D_1 = w \cdot Q_0 + \bar{w} \cdot Q_1 \cdot \bar{Q}_0$$

$$D_0 = \bar{w}$$

- Equação de saída

$$y = w \cdot Q_1 \cdot Q_0$$



# Síntese utilizando o modelo de Moore

- A seguir realizaremos a síntese utilizando o modelo de Moore.

## Tabela de transição

Estado atual			Próximo estado					
			$w = 0$			$w = 1$		
$Q_2$	$Q_1$	$Q_0$	$Q_2^*$	$Q_1^*$	$Q_0^*$	$Q_2^*$	$Q_1^*$	$Q_0^*$
0	0	0	0	0	1	0	0	0
0	0	1	0	0	1	0	1	0
0	1	0	0	1	1	0	0	0
0	1	1	0	0	1	1	0	0
1	0	0	0	1	1	0	0	0

## Tabela de saída

Estado atual			Saída
$Q_2$	$Q_1$	$Q_0$	$y$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1

## Tabela de Excitação

Estado atual			Próximo estado					
			$w = 0$			$w = 1$		
$Q_2$	$Q_1$	$Q_0$	$D_2$	$D_1$	$D_0$	$D_2$	$D_1$	$D_0$
0	0	0	0	0	1	0	0	0
0	0	1	0	0	1	0	1	0
0	1	0	0	1	1	0	0	0
0	1	1	0	0	1	1	0	0
1	0	0	0	1	1	0	0	0



# Síntese utilizando o modelo de Moore

- Utilizando “dont’care states” e o mapa de Karnaugh para a obter as equações de excitação e a equação de saída, temos :
- Equações de excitação

$$D_2 = w \cdot Q_1 \cdot Q_0$$

$$D_1 = \bar{w} \cdot Q_2 + \bar{w} \cdot Q_1 \cdot \bar{Q}_0 + w \cdot \bar{Q}_1 \cdot Q_0$$

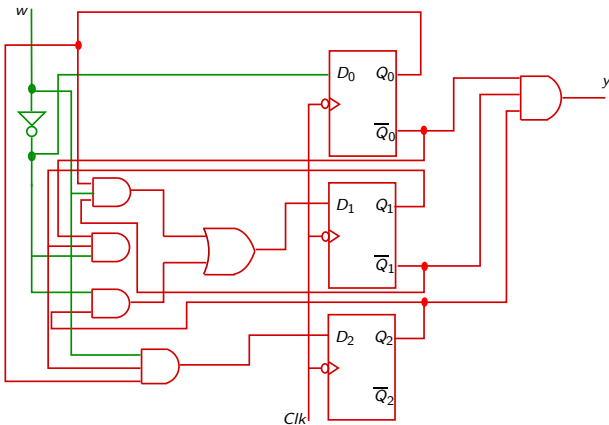
$$D_0 = \bar{w}$$

- Equação de saída

$$y = Q_2 \cdot \bar{Q}_1 \cdot \bar{Q}_0$$

# Síntese utilizando o modelo de Moore

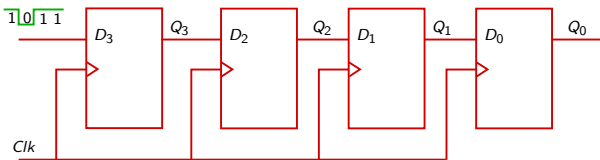
- Circuito do detector de sequência





# Entrada serial / saída serial

- A informação de  $n$  bits é inserida sequencialmente bit a bit iniciando-se pelo LSB e, da mesma maneira, é liberada sequencialmente em uma única linha de transmissão após  $2n$  pulsos de clock. Segue um exemplo de registrador de 4 bits.



pulso do clock	Estados			
	$Q_3$	$Q_2$	$Q_1$	$Q_0$
início	0	0	0	0
1° ↑	1	0	0	0
2° ↑	1	1	0	0
3° ↑	0	1	1	0
4° ↑	1	0	1	1
5° ↑	0	1	0	1
6° ↑	0	0	1	0
7° ↑	0	0	0	1
8° ↑	0	0	0	0

- Após o 4° pulso toda informação está armazenada nos 4 FFs e inicia-se o processo de liberação da saída.
- Após o 8° pulso toda informação foi liberada.





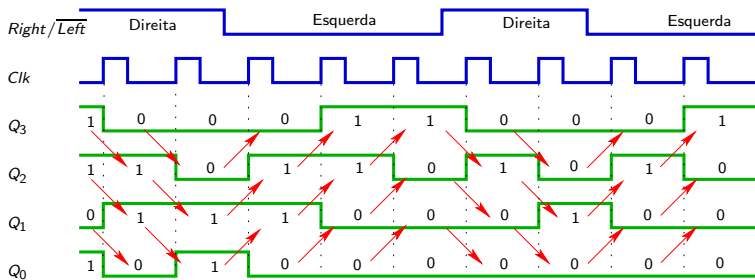






# Registradores de deslocamento bidirecionais

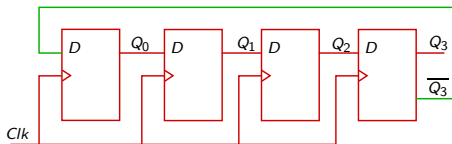
- Para ilustrar o funcionamento do registrador apresentado anteriormente, considere que  $Q_3 = 1$ ,  $Q_2 = 1$ ,  $Q_1 = 0$ ,  $Q_0 = 1$  e que a entrada serial está sempre em nível baixo. Logo, dada a entrada de controle  $Right/\overline{Left}$  e após cada pulso de clock, temos :



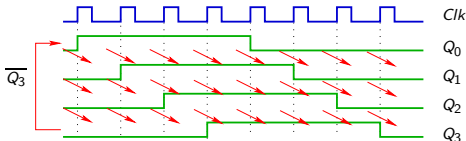


# Contador de Johnson

- Contador de Johnson de 4 bits



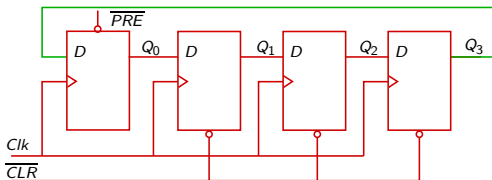
pulso do clock	Estados			
	$Q_0$	$Q_1$	$Q_2$	$Q_3$
início	0	0	0	0
1º ↑	1	0	0	0
2º ↑	1	1	0	0
3º ↑	1	1	1	0
4º ↑	1	1	1	1
5º ↑	0	1	1	1
6º ↑	0	0	1	1
7º ↑	0	0	0	1



- Em geral o módulo do contador é  $2n$  onde  $n$  é o número de estados. No caso em questão  $n = 4$  e seu módulo é  $2 \times 4 = 8$

# Contador de anel

- No contador de anel, define-se uma sequência inicial utilizando-se as entradas de  $\overline{PRE}$  e  $\overline{CLR}$  e realimenta-se a saída do último FF ao primeiro. No exemplo, a seguir consideramos um contador de 4 bits com condição inicial é  $Q_0 Q_1 Q_2 Q_3 = 1000$ . Note que seu módulo é  $n = 4$ .



pulso do clock	Estados			
	$Q_0$	$Q_1$	$Q_2$	$Q_3$
início	1	0	0	0
1° ↑	0	1	0	0
2° ↑	0	0	1	0
3° ↑	0	0	0	1

